

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-150803

(P2000-150803A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51)Int.Cl.<sup>7</sup>

H 01 L 27/04  
21/822  
21/318

識別記号

F I

テマコード(参考)

H 01 L 27/04  
21/318

C 5 F 0 3 8  
B 5 F 0 5 8

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21)出願番号 特願平11-65504

(22)出願日 平成11年3月11日 (1999.3.11)

(31)優先権主張番号 特願平10-258332

(32)優先日 平成10年9月11日 (1998.9.11)

(33)優先権主張国 日本 (JP)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 緒方 完

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 土本 淳一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100082175

弁理士 高田 守 (外1名)

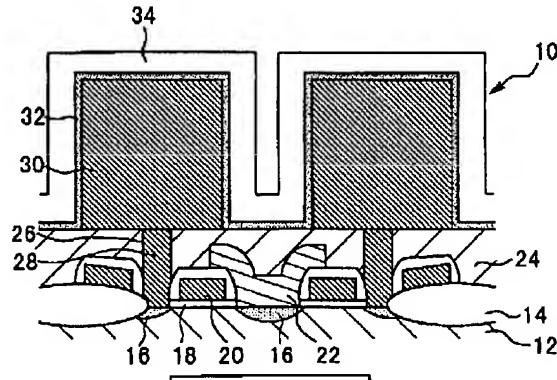
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 本発明はキャパシタを備える半導体装置の製造方法に関し、キャパシタの特性を損なうことなく、キャパシタの形成に必要な熱処理の温度を低温化することを目的とする。

【解決手段】 キャパシタの下部電極30を形成する。下部電極30の上部に、キャパシタの絶縁膜32として、CVDにより窒化膜を成膜する。絶縁膜32の成膜後に、700°C乃至760°Cの温度範囲内で、絶縁膜32をウェット酸化する。絶縁膜32の上部にキャパシタの上部電極34を形成する。絶縁膜32を成膜する工程は、シリコンウェハを、アンモニア雰囲気中でCVD反応温度まで昇温させる工程を含む。



## 【特許請求の範囲】

【請求項1】 キャパシタを備える半導体装置の製造方法であって、  
キャパシタの下部電極を形成する工程と、  
キャパシタの下部電極の上部に、キャパシタの絶縁膜として、CVDにより窒化膜を成膜する工程と、  
絶縁膜の成膜後に、700°C乃至760°Cの温度範囲内で、前記絶縁膜をウェット酸化する工程と、  
前記絶縁膜の上部にキャパシタの上部電極を形成する工程とを備え、  
前記窒化膜を成膜する工程は、シリコンウェハを、アンモニア雰囲気中でCVD反応温度まで昇温させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記ウェット酸化は、水素対酸素の流量比が1.8:1から1:6の範囲の水蒸気雰囲気中で行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 キャパシタを備える半導体装置の製造方法であって、  
キャパシタの下部電極を形成する工程と、  
キャパシタの下部電極の上部に、キャパシタの絶縁膜として、CVDにより窒化膜を成膜する工程と、  
絶縁膜の成膜後に、700°C乃至760°Cの温度範囲内で、N2Oガスを含む雰囲気中でアニールを行う工程と、  
前記絶縁膜の上部にキャパシタの上部電極を形成する工程と、  
を備えることを特徴とする半導体装置の製造方法。

【請求項4】 キャパシタを備える半導体装置の製造方法であって、  
キャパシタの下部電極を形成する工程と、  
キャパシタの下部電極の上部に、キャパシタの絶縁膜を成膜する工程と、  
前記絶縁膜の上部に、キャパシタの上部電極を形成する膜として、 $8 \times 10^{20}$ 個/cm<sup>3</sup>以上のリン濃度を有するアモルファスシリコンを堆積させる工程と、  
前記アモルファスシリコンの堆積後に、750°C近傍の温度で、1乃至3分の範囲内でラピッドサーマルアニールを行う工程と、  
を備えることを特徴とする半導体装置の製造方法。

【請求項5】 前記上部電極を形成する工程は、前記絶縁膜の上部に、 $8 \times 10^{20}$ 個/cm<sup>3</sup>以上のリン濃度を有するアモルファスシリコンを堆積させる工程を含み、前記アモルファスシリコンの堆積後に、750°C近傍の温度で、1乃至3分の範囲内でラピッドサーマルアニールが実行されることを特徴とする請求項1乃至3の何れか1項記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造

方法に係り、特に、キャパシタを備える半導体装置を微細化するうえで好適な半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 図7は、キャパシタを備える半導体装置の従来の製造方法を説明するためのフローチャートを示す。従来の製造方法では、先ず、シリコンウェハ上に、キャパシタの下部電極膜が成膜される(ステップ10)。本ステップでは、具体的には、不純物としてリンを含むポリシリコンを、CVDによりシリコンウェハ上に堆積させる処理が行われる。次に、写真製版およびドライエッチングにより、下部電極膜を適当にパターニングすることにより、キャパシタの下部電極が形成される(ステップ12)。

【0003】 下部電極の上部には、キャパシタの絶縁膜として窒化膜が成膜される(ステップ14)。本ステップでは、具体的には、ジクロルシラン(SiH2Cl2)とアンモニア(NH3)とを原料として、下部電極の上部にCVDにより窒化膜を堆積させる処理が行われる。図8は、絶縁膜(窒化膜)の堆積工程で実行される一連の処理を示す。図8に示す如く、絶縁膜の堆積工程では、反応炉の真空引き、シリコンウェハ温度の昇温処理、CVDによる窒化膜の成膜処理、および、ページ処理が連続的に実行される。従来の製造方法において、上述した真空引き、昇温処理、および、ページ処理は、全て窒素雰囲気中で実行される。

【0004】 絶縁膜の成膜が終了すると、次に、絶縁膜の表面にウェット酸化が施される(ステップ16)。本ステップの処理(ウェット酸化)は、絶縁膜を構成する窒化膜に含まれる欠陥を修復して、キャパシタの電気特性を改善し、また、キャパシタの信頼性を高めることを目的として行われる。従来の製造方法において、上記のウェット酸化は、水素と酸素とを混合して得られる水蒸気中でシリコンウェハに800°C乃至900°C程度の熱を加えることにより行われる。

【0005】 下部電極に含まれている不純物を活性化させるためには、シリコンウェハに加熱処理を施す必要がある。従来の製造方法によれば、上述したウェット酸化の過程でシリコンウェハに加えられる熱により、下部電極の不純物を活性化させることができる。

【0006】 絶縁膜のウェット酸化が終了すると、次に、絶縁膜の上部に上部電極膜が形成される(ステップ18)。従来の製造方法において、上部電極膜は、 $5 \times 10^{20}$ 個/cm<sup>3</sup>程度の密度でリンを含むポリシリコンを堆積させることにより形成される。上部電極膜が形成されると、次に、写真製版およびドライエッチングにより、上部電極膜が適当にパターニングされ、キャパシタの上部電極が形成される(ステップ20)。

【0007】 次いで、上部電極および下部電極に含まれている不純物を十分に活性化させるため、シリコンウェハに、800°C乃至900°Cの範囲内で、30分程度の

熱処理が施される（ステップ22）。

#### 【0008】

【発明が解決しようとする課題】半導体装置におけるキャパシタは、シリコンウェハにトランジスタが形成された後に製造されることがある。このような状況下で、キャパシタの製造過程において上述したウェット酸化（ステップ16）および熱処理（ステップ22）が実行されると、トランジスタの近傍に熱が加わり、トランジスタの各部に注入されている不純物が拡散する事態が生ずる。特に、半導体装置の微細化が進み、トランジスタが十分に小型化されている場合には、その拡散が生ずることにより、トランジスタが正常に動作できない状態となることがある。

【0009】また、例えばロジック混載メモリ等のような半導体装置においては、動作の高速化を図るために、キャパシタの下部に金属製の配線（ワード線、および、ピット線）を設けることが考えられる。この場合、キャパシタの製造過程で、金属配線の耐熱温度を越える温度がシリコンウェハに加わると、金属配線に不良が生じて半導体装置が動作できない状態となる。

【0010】上述した理由より、半導体装置を微細化し、または、高速で動作させるためには、キャパシタの製造過程で行われる熱処理が可能な限り低温化されることが望ましい。この点、従来の半導体装置の製造方法は、未だ改良の余地を残すものであった。

【0011】本発明は、上記のような課題を解決するためになされたもので、キャパシタの特性を損なうことなく、キャパシタの形成に必要な熱処理の温度を低温化することのできる半導体装置の製造方法を提供することを目的とする。

#### 【0012】

【課題を解決するための手段】請求項1記載の発明は、キャパシタを備える半導体装置の製造方法であって、キャパシタの下部電極を形成する工程と、キャパシタの下部電極の上部に、キャパシタの絶縁膜として、CVDにより窒化膜を成膜する工程と、絶縁膜の成膜後に、700℃乃至760℃の温度範囲内で、前記絶縁膜をウェット酸化する工程と、前記絶縁膜の上部にキャパシタの上部電極を形成する工程とを備え、前記窒化膜を成膜する工程は、シリコンウェハを、アンモニア雰囲気中でCVD反応温度まで昇温させる工程を含むことを特徴とするものである。

【0013】請求項2記載の発明は、請求項1記載の半導体装置の製造方法であって、前記ウェット酸化は、水素対酸素の流量比が1.8:1から1:6の範囲の水蒸気雰囲気中で行われることを特徴とするものである。

【0014】請求項3記載の発明は、キャパシタを備える半導体装置の製造方法であって、キャパシタの下部電極を形成する工程と、キャパシタの下部電極の上部に、キャパシタの絶縁膜として、CVDにより窒化膜を成膜

する工程と、絶縁膜の成膜後に、700℃乃至760℃の温度範囲内で、N<sub>2</sub>Oガスを含む雰囲気中でアーニルを行う工程と、前記絶縁膜の上部にキャパシタの上部電極を形成する工程と、を備えることを特徴とするものである。

【0015】請求項4記載の発明は、キャパシタを備える半導体装置の製造方法であって、キャパシタの下部電極を形成する工程と、キャパシタの下部電極の上部に、キャパシタの絶縁膜を成膜する工程と、前記絶縁膜の上部に、キャパシタの上部電極を形成する膜として、8×10<sup>20</sup>個/cm<sup>3</sup>以上のリン濃度を有するアモルファスシリコンを堆積させる工程と、前記アモルファスシリコンの堆積後に、750℃近傍の温度で、1乃至3分の範囲内でラピッドサーマルアーニルを行う工程と、を備えることを特徴とするものである。

【0016】請求項5記載の発明は、請求項1乃至3の何れか1項記載の半導体装置の製造方法であって、前記上部電極を形成する工程は、前記絶縁膜の上部に、8×10<sup>20</sup>個/cm<sup>3</sup>以上のリン濃度を有するアモルファスシリコンを堆積させる工程を含み、前記アモルファスシリコンの堆積後に、750℃近傍の温度で、1乃至3分の範囲内でラピッドサーマルアーニルが実行されることを特徴とするものである。

#### 【0017】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する。

【0018】実施の形態1. 図1は、本発明の実施の形態1の製造方法で製造される半導体装置10の主要部の断面図を示す。図1に示す如く、半導体装置10は、シリコン基板12を備えている。シリコン基板12には、その表面領域を複数の領域に区分する複数の分離酸化膜14と、トランジスタのソース・ドレインとして機能する複数の拡散層16が設けられている。

【0019】シリコン基板12の上部には、ゲート酸化膜18、ワード線20、および、データ線22等が設けられている。更に、それらの上部には、層間絶縁膜24が成膜されている。層間絶縁膜24には、シリコン基板12の拡散層16に開口するコンタクトホール26が設けられている。コンタクトホール26の内部には、例えばドープトポリシリコン等の導電材料で構成されるコンタクト28が設けられている。

【0020】層間絶縁膜24の上部には、コンタクト28と電気的に導通する下部電極30が形成されている。下部電極30は、所定濃度のリンを含むドープトポリシリコンで構成されている。下部電極30の表面は、絶縁膜32により被覆されている。絶縁膜32は、シリコン窒化膜で構成されている。また、絶縁膜32の上部には、上部電極34が形成されている。下部電極30、絶

縁膜32、および、上部電極34は、半導体装置10の内部でキャパシタを構成している。

【0021】下部電極30、絶縁膜32、および、上部電極34の形成過程では、すなわち、キャパシタの形成工程では、後述の如く、シリコンウェハを高温に加熱する処理が実行される。シリコンウェハが高温に加熱されると、拡散層16やシリコン基板12のチャネル領域に含まれている不純物が拡散してトランジスタの特性を変化させる。このため、キャパシタの製造過程でシリコン基板に施される熱処理は、低温であることが望ましい。本実施形態の製造方法は、キャパシタの特性を損なうことなく、キャパシタの製造過程における熱処理の低温化を可能とした点に特徴を有している。

【0022】以下、図2乃至図6を参照して、本実施形態の製造方法の内容を具体的に説明する。図2は、本実施形態の半導体装置10の製造方法の主要部を説明するためのフローチャートを示す。本実施形態の製造方法においては、図2に示す一連の処理が実行されることにより、キャパシタが製造される。

【0023】図2に示す一連の処理においては、先ず、層間絶縁膜24の上部に、キャパシタの下部電極膜が成膜される（ステップ10）。本ステップでは、具体的には、不純物としてリンを含むポリシリコンを、CVDによりシリコンウェハ上に堆積させる処理が行われる。次に、写真製版およびドライエッ칭により、下部電極膜を適当にパターニングすることにより、キャパシタの下部電極30が形成される（ステップ12）。

【0024】下部電極30の上部には、キャパシタの絶縁膜32として窒化膜が成膜される（ステップ36）。本ステップにおいて、絶縁膜32は、ジクロロシラン（SiH<sub>2</sub>Cl<sub>2</sub>）とアンモニア（NH<sub>3</sub>）とを原料として、CVDにより成膜される。図3は、絶縁膜32（窒化膜）の堆積工程で実行される一連の処理を示す。図3に示す如く、絶縁膜の堆積工程では、反応炉の真空引き、シリコンウェハ温度の昇温処理、CVDによる窒化膜の成膜処理、および、バージ処理が連続的に実行される。本実施形態の製造方法は、それらの処理のうち、シリコンウェハの昇温処理が0.4 Torr程度のアンモニア（NH<sub>3</sub>）雰囲気中で実行される。

【0025】絶縁膜32の成膜が終了すると、次に、絶縁膜32の表面にウェット酸化が施される（ステップ38）。本ステップの処理（ウェット酸化）は、絶縁膜を構成する窒化膜に含まれる欠陥を修復して、キャパシタの電気特性を改善し、また、キャパシタの信頼性を高めることを目的として行われる。本実施形態の製造方法において、上記のウェット酸化は、700°Cから760°C程度の温度範囲に調整され、かつ、水素と酸素とを1.8:1から1:6の流量比で混合することにより得られる水蒸気が満たされた炉内にシリコンウェハを60分間保持することにより行われる。

【0026】上述したウェット酸化の温度（700°C～760°C）は、従来の製造方法で用いられていた温度（820°C）に比して十分に低い温度である。従って、本実施形態の製造方法によれば、従来の製造方法に比して、キャパシタの製造工程でシリコンウェハに加わる熱負荷を低減することができる。また、上述した水素と酸素との流量比（1:6）は、絶縁膜32の表面を適当に酸化するうえで好適な比率である。このため、本実施形態の製造方法によれば、絶縁膜32を好適な状態に酸化して、品質安定性に優れた製造工程を実現することができる。

【0027】絶縁膜32のウェット酸化が終了すると、次に、絶縁膜32の上部に上部電極膜が形成される（ステップ40）。本実施形態の製造方法において、上部電極膜は、絶縁膜32の上部に、8×10<sup>20</sup>個/cm<sup>3</sup>程度の密度でリンを含むアモルファスシリコンをCVDにより堆積させることにより形成される。本実施形態の製造方法において上部電極膜に付与されるリン濃度（8×10<sup>20</sup>個/cm<sup>3</sup>）は、従来の製造方法で上部電極膜に付与されるリン濃度（5×10<sup>20</sup>個/cm<sup>3</sup>）に比して十分に高い値である。

【0028】半導体装置を工業的に製造するうえでは、バッチ式のCVD炉を用いて、100枚を越えるシリコンウェハ上に、同時に上部電極膜を成膜することが要求される場合がある。このような場合に、ドープトポリシリコンを堆積させて上部電極膜34を形成しようとすると、8×10<sup>20</sup>個/cm<sup>3</sup>のような高いリン濃度を得ることが困難である。これに対して、本実施形態の製造方法のように、アモルファスシリコンを堆積させることによれば、上述した高いリン濃度を得ることが可能である。

【0029】上部電極膜が形成されると、次に、写真製版およびドライエッ칭により、上部電極膜が適当にパターニングされて上部電極34が形成される（ステップ20）。次いで、上部電極34および下部電極30に含まれている不純物を活性化するために、シリコンウェハに熱処理が施される。本実施形態の製造方法では、上記の熱処理として、シリコンウェハに、N<sub>2</sub>雰囲気中で、約750°Cの温度で、1から3分程度のRTA（Rapid Thermal Anneal）が施される（ステップ42）。上記の熱処理の条件は、従来の製造方法で用いられる熱処理の条件（800°C～900°C、30分）に比して、シリコンウェハに与える熱負荷を十分に抑制し得る条件である。

【0030】図4は、半導体装置の製造条件と、キャパシタのTDB寿命との関係を示す。図4中に符号(1)を付して表す点は、絶縁膜32の成膜過程（ステップ36）で、シリコンウェハをCVD反応温度まで昇温させる処理をN<sub>2</sub>雰囲気中で実行し、かつ、絶縁膜32のウェット酸化（ステップ38）を820°Cの温度で実行し

た場合の結果（従来の条件に対する結果）を示す。また、図4中に符号(2)を付して表す点は、シリコンウェハの昇温をN<sub>2</sub>雰囲気中で実行し、かつ、ウェット酸化を760℃の温度で実行した場合の結果を示す。更に、図4中に符号(3)を付して表す点は、シリコンウェハの昇温をNH<sub>3</sub>雰囲気中で実行し、かつ、ウェット酸化を760℃の温度で実行した場合の結果（本実施形態の条件に対する結果）を示す。

【0031】結果(1)および結果(2)で示されるように、シリコンウェハの昇温雰囲気がN<sub>2</sub>で一致する場合は、ウェット酸化の温度が820℃から760℃に低下することにより、TDDB寿命は約1/10に低下する。これに対して、結果(1)乃至結果(3)で示されるように、シリコンウェハの昇温雰囲気をN<sub>2</sub>からNH<sub>3</sub>に変更すると、ウェット酸化の温度が760℃であっても、その温度が820℃である場合と同等のTDDB寿命を得ることができる。

【0032】このように、絶縁膜32の形成工程においてシリコンウェハをNH<sub>3</sub>雰囲気で昇温させることすると、ウェット酸化の温度を下げても、キャパシタに十分なTDDB寿命を付与することができる。キャパシタのTDDB寿命は、シリコンウェハの昇温雰囲気がNH<sub>3</sub>である場合は、ウェット酸化の温度を700℃程度まで低下させてても十分に確保できることが実験的に確認されている。

【0033】上述の如く、本実施形態の製造方法では、絶縁膜32の形成工程においてシリコンウェハがNH<sub>3</sub>雰囲気中で昇温されると共に、絶縁膜32のウェット酸化が700℃～760℃の温度範囲で実行される。このため、本実施形態の製造方法によれば、ウェット酸化の温度を十分に低温化しつつ、十分なTDDB寿命を有するキャパシタを製造することができる。従って、本実施形態の製造方法によれば、半導体装置10に搭載される種々の要素に対する熱負荷を抑制しつつ、高い信頼性および耐久性を有するキャパシタを形成することができる。

【0034】本実施形態の製造方法において、上部電極34は、不純物としてリンを含むN型半導体である。このため、上部電極34に接地電位が導かれる場合は、活性化している不純物の多少に関わらず、絶縁膜32と上部電極34との境界付近に空乏層が生ずることはない。一方、上部電極34に正電位が導かれる場合は、活性化している不純物が少量であると、絶縁膜32と上部電極34との境界付近に空乏層が生ずる。絶縁膜32と上部電極34との間にそのような空乏層が生ずると、キャパシタの利用効率が低下する。このため、キャパシタを高い効率で利用するためには、上部電極34内に、活性化している不純物を多量に含有させることが必要である。

【0035】図5は、半導体装置の製造条件と、キャパシタの利用効率との関係を示す。図5に示す関係は、上

部電極34に+1Vの電位を印加する条件下で、すなわち、キャパシタの利用効率が主に上部電極34内の活性不純物の濃度により決定される条件下で得られた関係である。図5中に符号(1)を付して表す点は、上部電極34のリン濃度が5×10<sup>20</sup>個/cm<sup>3</sup>であり、かつ、上部電極34内部の不純物を活性化させるための熱処理が、800℃、F A (Furnace Anneal)、30分の条件で実行された場合の結果（従来の条件に対する結果）を示す。また、図5中に符号(2)を付して表す点は、上部電極34のリン濃度が5×10<sup>20</sup>個/cm<sup>3</sup>であり、かつ、熱処理が、800℃、R T A、1分の条件で実行された場合の結果を示す。更に、図5中に符号(3)を付して表す点は、上部電極34のリン濃度が8×10<sup>20</sup>個/cm<sup>3</sup>であり、かつ、熱処理が、750℃、R T A、3分の条件で実行された場合の結果（本実施形態の条件に対する結果）を示す。

【0036】結果(1)および結果(2)で示されるように、上部電極34のリン濃度が5×10<sup>20</sup>個/cm<sup>3</sup>で一致する場合は、熱処理の温度が同じ（800℃）であっても、熱処理の手法がF A 30分からR T A 1分に変更されることにより、キャパシタの利用効率は約10%低下する。これに対して、結果(1)および結果(3)で示されるように、上部電極34のリン濃度を8×10<sup>20</sup>個/cm<sup>3</sup>とすると、熱処理の手法をF A 30分からR T A 3分に変更し、更に、熱処理の温度を800℃から750℃に低下させても、キャパシタの利用効率の低下率を約5%に抑えることができる。

【0037】図6は、上部電極34のリン濃度と、キャパシタの利用効率との関係を示す。図6に示す関係は、上部電極34の形成後に、750℃、R T A、3分の条件で熱処理が行われた場合に得られる関係である。尚、図6において、キャパシタの利用効率は、従来の製造方法で得られたキャパシタの効率を基準として表されている。図6に示す如く、上部電極34に対する熱処理が上記の条件（本実施形態の条件）で行われる場合、キャパシタの利用効率は、ほぼリン濃度に比例する。また、図6に示す結果によれば、リン濃度が8×10<sup>20</sup>個/cm<sup>3</sup>以上である場合は、常に、従来の製造方法で得られたキャパシタに対して95%以上の利用効率を有するキャパシタが得られることが判る。

【0038】このように、上部電極34のリン濃度を8×10<sup>20</sup>個/cm<sup>3</sup>以上とすると、熱処理の条件を低温化し、かつ、短時間化しても、従来の熱処理条件が用いられる場合と同等の利用効率を得ることができる。上部電極34のリン濃度が8×10<sup>20</sup>個/cm<sup>3</sup>以上である場合は、750℃のR T Aを1分以上行うことで、所望の利用効率（従来条件に対する95%以上）が得られることが実験的に確認されている。

【0039】本実施形態の製造方法では、上述の如く、上部電極34の堆積工程（ステップ40）で、8×10

$20$  個/ $\text{cm}^3$  のリン濃度が上部電極 3 4 に付与されると共に、その後の熱処理（ステップ 4 2）が、 $750^\circ\text{C}$ 、RTA、1~3分の条件で実行される。このため、本実施形態の製造方法によれば、熱処理の温度を低温化し、かつ、熱処理の時間を大幅に短縮しつつ、キャパシタの利用効率を十分に確保することができる。従って、本実施形態の製造方法によれば、半導体装置 1 0 に搭載される種々の要素に対する熱負荷を抑制しつつ、所望の電気特性を有するキャパシタを形成することができる。

【0040】ところで、上記の実施形態においては、下部電極 3 0 の表面が平坦に形成されているが、その構造はこれに限定されるものではない。すなわち、下部電極 3 0 は、例えば、その表面に凹凸を備える粗面構造を有するものであっても良い。

【0041】また、上記の実施形態においては、絶縁膜 3 2 の成膜の後に、水素と酸素とを混合して得られる水蒸気を用いたウェット酸化（ステップ 3 8）を行うこととしているが、ウェット酸化の工程に代えて、N 2 O ガスの雰囲気中で、 $700\sim760^\circ\text{C}$  の温度で、60分間アニール処理を行うこととしても良い。上記のアニール処理によれば、ステップ 3 8 のウェット酸化を行った場合と同様に、絶縁膜 3 2 の欠陥を修復して、キャパシタに十分な信頼性を付与し得ることが実験的に確認されている。また、この場合は、絶縁膜 3 2 の成膜過程でシリコンウェハを昇温する際の雰囲気が N 2 であっても、すなわち、その雰囲気が N H 3 でなくても十分な信頼性が得られることが実験的に確認されている。このため、ステップ 3 8 のウェット酸化に代えて上記のアニール処理を実行する場合には、絶縁膜 3 2 の成膜過程におけるシリコンウェハの昇温工程を、従来の製造方法と同様に N 2 雰囲気中で実行することとしてもよい。

【0042】また、上記の実施形態において、半導体装置 1 0 はワード線 2 0 およびデータ線 2 2 を備えているが、これらは、ドープトポリシリコンに限らず、タングステン、タングステンシリサイド、チタンナイトライド、または、チタンなどの金属で構成しても良い。上述の如く、本実施形態の製造方法によれば、キャパシタの製造過程でシリコンウェハに加わる熱負荷を十分に抑制することができる。このため、本実施形態の製造方法によれば、ワード線 2 0 やデータ線 2 2 に金属材料が用いられていても、それらを損傷させることなくキャパシタを形成することができる。

【0043】また、上記の実施形態においては、絶縁膜 3 2 を構成する窒化膜の原料として、ジクロルシラン (SiH<sub>2</sub>Cl<sub>2</sub>) とアンモニア (NH<sub>3</sub>) とが用いられているが、窒化膜の原料はこれに限定されるものではない。すなわち、窒化膜は、例えば、テトラクロルシリラン (SiCl<sub>4</sub>) とアンモニア (NH<sub>3</sub>) とを原料として成膜することとしてもよい。

【0044】

【発明の効果】この発明は以上説明したように構成されているので、以下に示すような効果を奏する。請求項 1 記載の発明によれば、絶縁膜の成膜時にシリコンウェハがアンモニア雰囲気中で CVD 温度まで昇温される。この場合、ウェット酸化の温度を  $700^\circ\text{C}$  から  $760^\circ\text{C}$  程度の低温としてもキャパシタの寿命を十分に確保することができる。従って、本発明の製造方法によれば、ウェット酸化の温度を低温化しつつ、十分な寿命を有するキャパシタを形成することができる。

【0045】請求項 2 記載の発明によれば、絶縁膜のウェット酸化が、水素対酸素の流量比が 1.8 : 1 から 1 : 6 の範囲の水蒸気雰囲気中で行われる。ウェット酸化が上記の雰囲気中で実行されると、絶縁膜の表面に適切な厚さで酸化層を形成することができる。このため、本発明によれば、安定した品質のキャパシタを高い歩留まりで製造することができる。

【0046】請求項 3 記載の発明によれば、絶縁膜の成膜後に、N 2 O ガス中で、 $700^\circ\text{C}$  から  $760^\circ\text{C}$  程度のアニール処理が実行される。上記のアニール処理によれば、絶縁膜にウェット酸化を施した場合と同等の効果を得ることができる。このため、本発明によれば、キャパシタの製造過程でシリコンウェハに加わる熱を抑制しつつ、十分な寿命を有するキャパシタを形成することができる。

【0047】請求項 4 記載の発明によれば、上部電極に  $8 \times 10^{20}$  個/ $\text{cm}^3$  を越える濃度でリンイオンが混入される。この場合、 $750^\circ\text{C}$  程度の温度で 1~3 分程度の RTA を行うことで、上部電極に所望の電気的特性を付与することができる。このため、本発明によれば、上部電極の熱処理温度を低温化しつつ、所望の電気特性を有するキャパシタを高い歩留まりで製造することができる。

【0048】請求項 5 記載の発明によれば、絶縁膜を処理する際の温度、および、上部電極を処理する際の温度と共に低温化しつつ、安定した特性を有するキャパシタを製造することができる。このため、本発明の製造方法によれば、キャパシタと共に半導体装置に搭載される他の構成部品に対して大きな熱負荷を加えることなく所望の特性を有するキャパシタを高い歩留まりで製造することができる。

#### 【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の製造方法で製造される半導体装置の主要部を表す断面図である。

【図 2】 本発明の実施の形態 1 の製造方法を説明するためのフローチャートである。

【図 3】 本発明の実施の形態 1 の製造方法において、絶縁膜の成膜時に実行される一連の処理の内容を説明するための図である。

【図 4】 半導体装置の製造方法とキャパシタの TDD B 寿命との関係を表す図である。

【図5】 半導体装置の製造方法とキャパシタの利用効率との関係を表す図である。

【図6】 上部電極のリン濃度とキャパシタの利用効率との関係を表す図である。

【図7】 従来の半導体装置の製造方法を説明するためのフローチャートである。

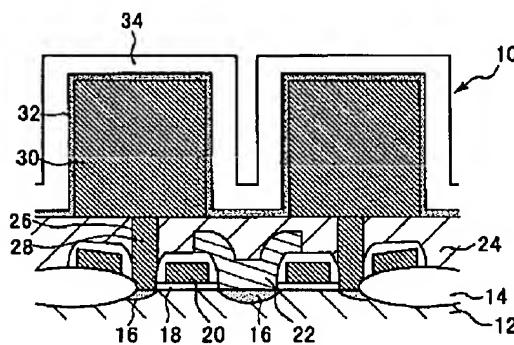
【図8】 従来の製造方法において、絶縁膜の成膜時に

実行される一連の処理の内容を説明するための図である。

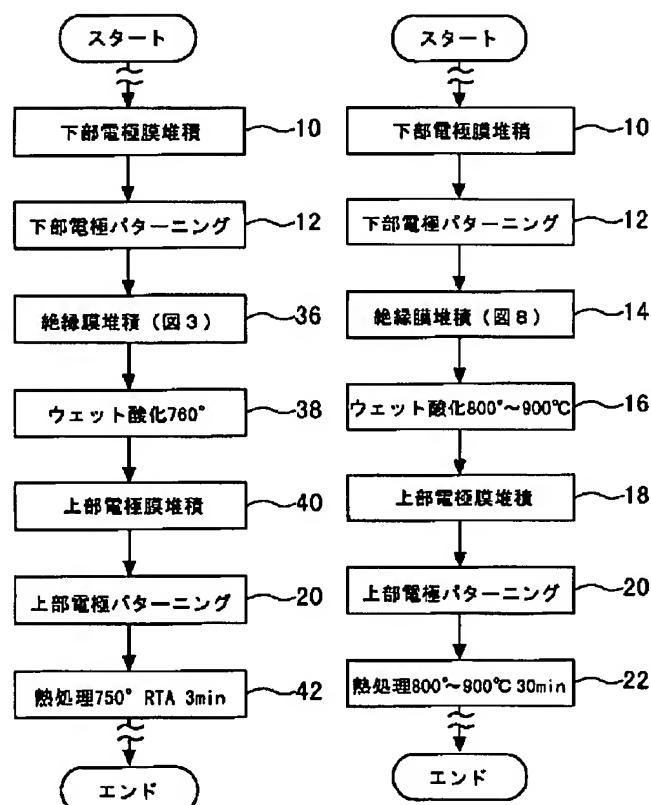
【符号の説明】

10 半導体装置、 20 ワード線、 22 データ線、 30 下部電極、 32 絶縁膜、 34 上部電極。

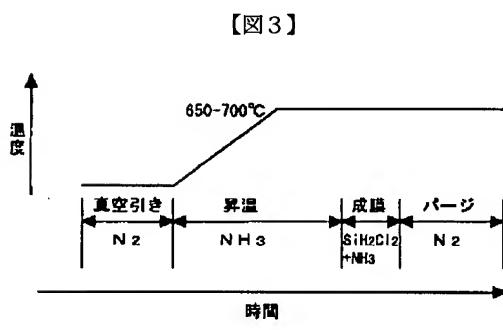
【図1】



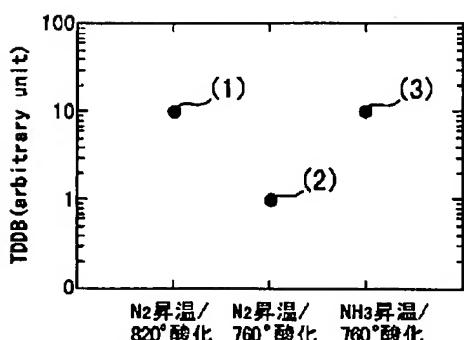
【図2】



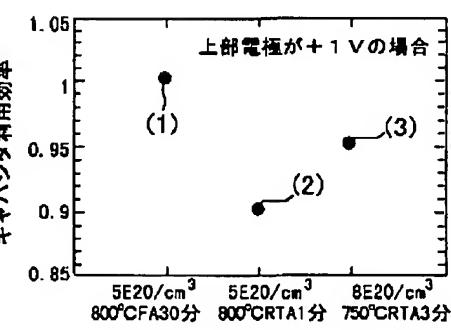
【図7】



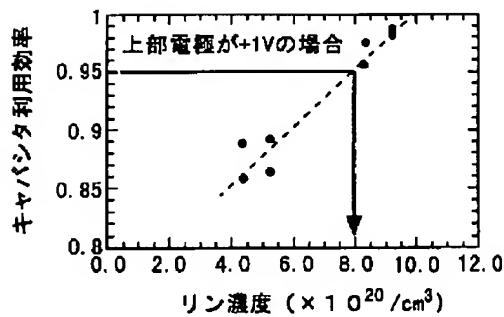
【図4】



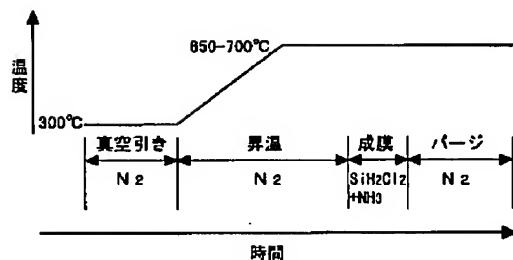
【図5】



【図6】



【図8】



フロントページの続き

(72)発明者 稲葉 豊  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 森 喜代志  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
F ターム(参考) 5F038 AC05 AC09 AC16 DF05 EZ16  
EZ17 EZ20  
5F058 BA11 BC08 BF02 BF24 BF30  
BF55 BF63 BH01 BH03 BJ01